

# Mooreのビジネスモデルの破綻

～ 飛躍的な産業発展を示唆したMooreの法則 ～

独立行政法人 産業技術総合研究所 AIST

エレクトロニクス研究部門 原 史朗

<http://staff.aist.go.jp/shiro-hara/>

1 集積回路チップの価格トレンド

2 Mooreの法則

3 Scaling則

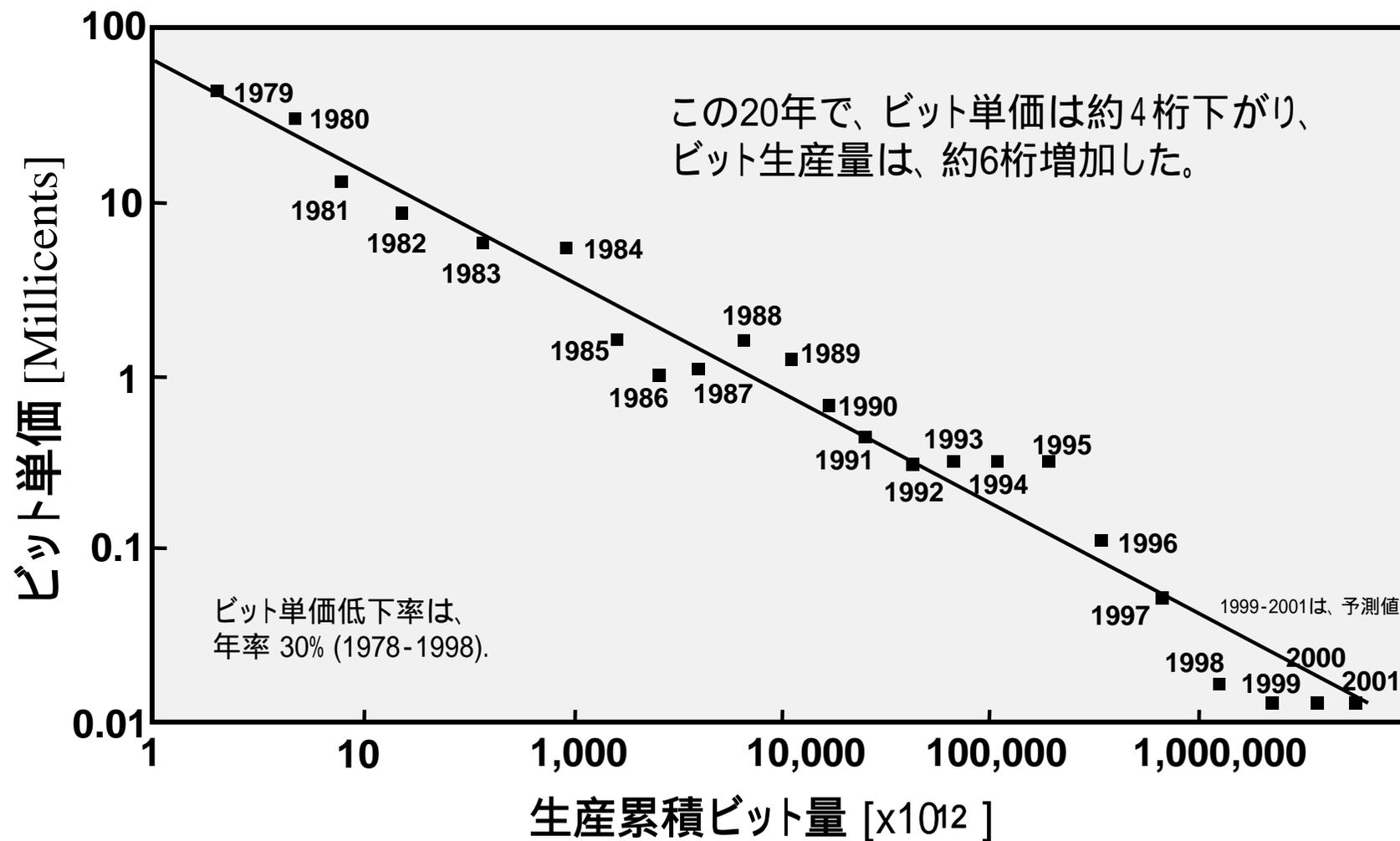
4 Mooreの法則:テクノロジーの破綻

5 Mooreの法則:産業規模の破綻

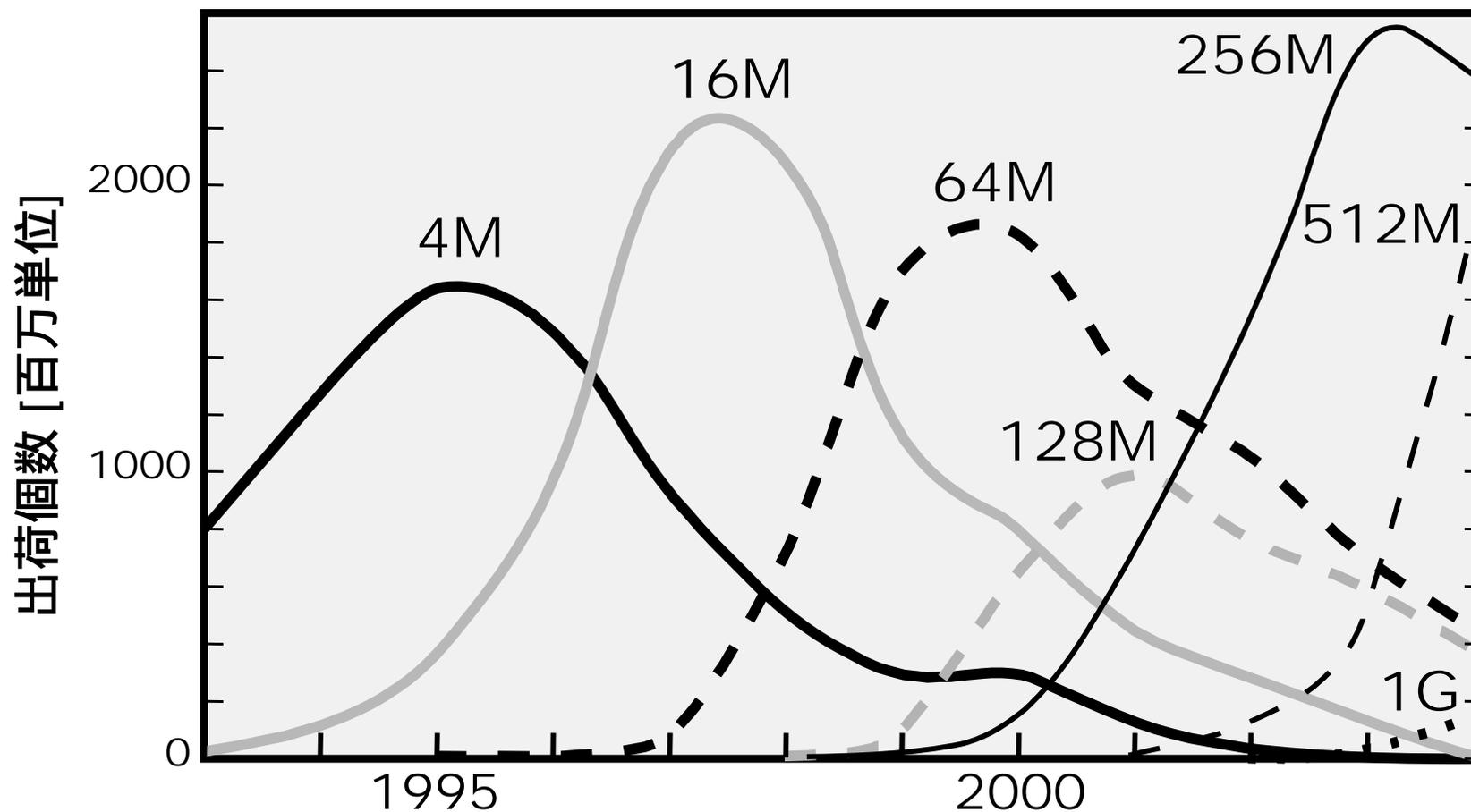
6 Mooreの法則の破綻がもたらすもの

7 半導体産業の再構築

8 まとめ



➡ 産業規模は、20年で2桁(10年で1桁)膨張。



→ 1chipあたりの素子数は10年で100倍に。

ビット単価:  $10^{-2}/\text{decade}$

累積ビット生産数:  $10^3/\text{decade}$

1chipあたりの素子数:  $10^2/\text{decade}$   
(chip性能)



chip生産数:  $10^1/\text{decade}$

産業規模(総出荷額):  $10^1/\text{decade}$



chip価格は不変

### Mooreの法則の別表現:

Chip価格が下がらなければ利益は確保される。そのためには、チップ性能を10年で100倍にする希有の技術革新を絶えず続け、それにより産業規模を10年で10倍にする必要がある。

「半導体産業のニーズとそれに答える工場生産においては、  
1.5年から2年で、集積回路の機能(トランジスタ数等)が倍になる。」

「マイクロプロセッサの性能(クロック周波数×命令数/クロック/秒)は、  
1.5年から2年で、倍になる。」



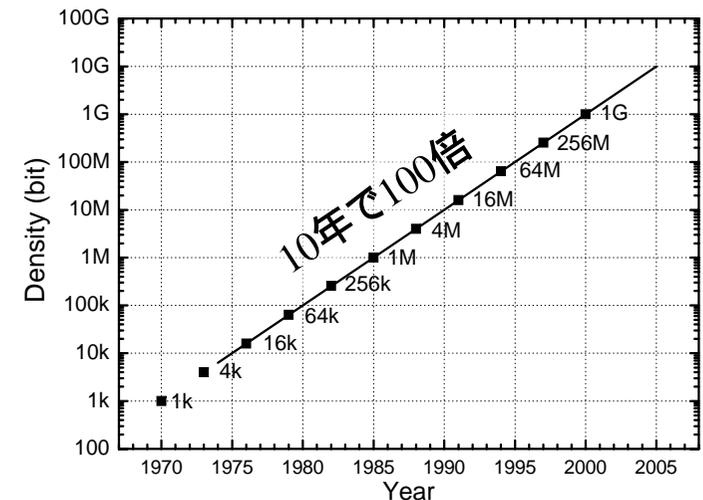
Gordon E. Moore, Co-founder, Intel Corporation.  
Copyright (c) 2005 Intel Corporation.

1.5年で倍なら： $N = N_0 10^{0.2 \text{ year}}$  ( $\because 10^{0.2 \times 1.5} \cong 2$ )

→ 3年で4倍：10年で100倍

2年で倍なら： $N = N_0 10^{0.15 \text{ year}}$

→ 4年で4倍：10年で30倍



現実の集積化の歩み(メモリの場合)

Mooreの最初の指針は、1965年時点であり、

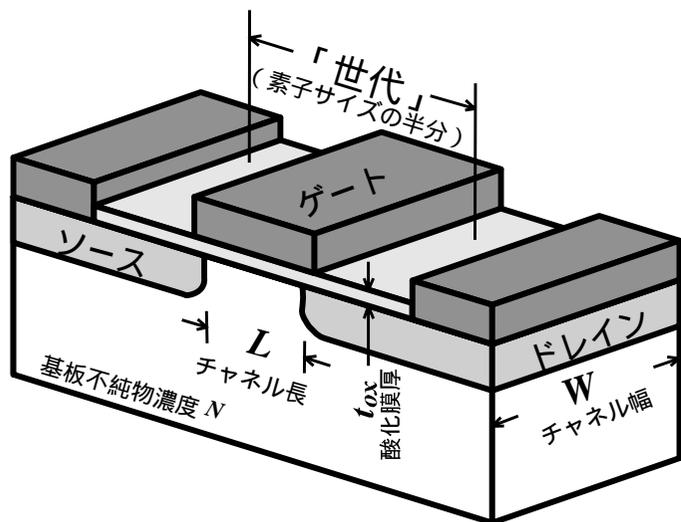
『ビットコストは年々下落するので、年々集積度を高めてゆかなければならないし、それは可能である』  
(G. Moore, Electronics, vol.38 no. 8, (Apr.19, 1965).)という主旨のより原理的なことに言及している。

# 7

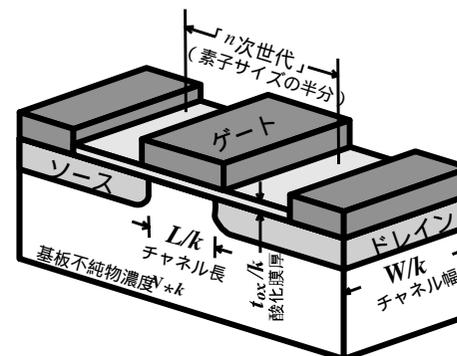
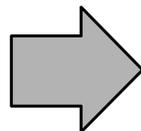
# Scaling則

## トランジスタの微細化に関する設計指針

(IBM グループ : R. H. Dennard, et.al. IEEE J. Solid State Circuits, SC-9, 256 (1974).)

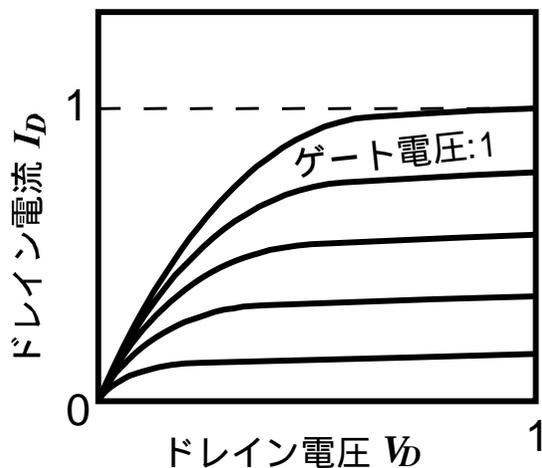


縦・横・高、全てを  
1/k にする。

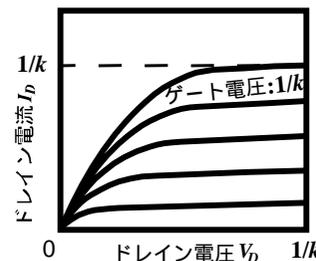
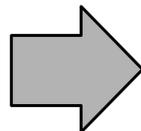


### トランジスタ

素子寸法 $L, W, t_{ox}$	$1/k$
不純物濃度	$k$
電圧 $V$ 、電流 $I$	$1/k$
容量 $C = LW/t_{ox}$	$1/k$
遅延時間 $VC/I$	$1/k$
電力 $VI$	$1/k^2$
電力密度 $VI/LW$	$1$



特性は、変わらず  
消費電力は、 $1/k^2$ 。



### 配線

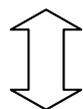
抵抗 $R = \rho L/W$	$k$
電圧降下 $IR/V$	$k$
遅延 $R/C$	$1$
電流密度 $I/S$	$k$

S: 断面積

チップ内トランジスタ数は、ダイ面積が同じなら  $k^2$

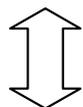
世の中の  
期待

Mooreの法則

= 3年(1世代)で、  
素子数4倍

技術指針

Scaling則

実際の  
微細化進行デザインルール  
(世代)= 3年(1世代)で、  
寸法0.7倍、面積0.5倍現実には、  
電圧を下げられない

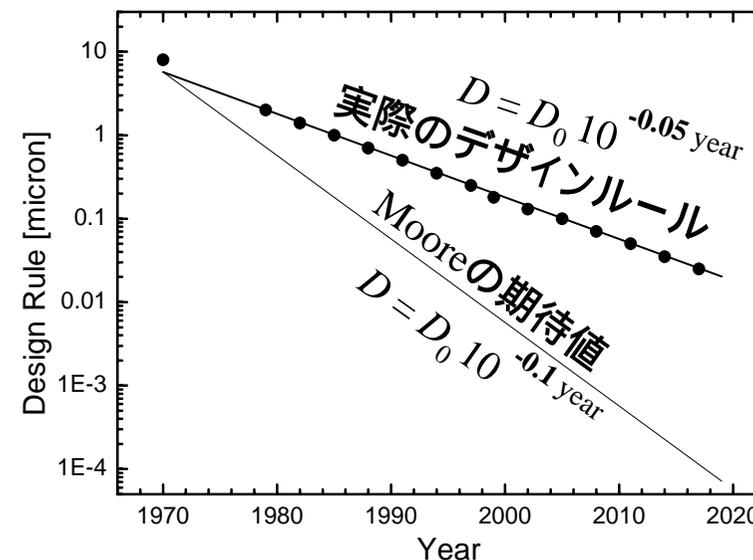
「デザインルールは長年ムーアの法則を満足してきた」と勘違いしやすい点に注意。  
面積の増大等を許容して結果的に法則を満足していた。  
(長期的には潜在ニーズに対して、性能が追いつかず、その認識の遅れが、日本の半導体産業の衰退につながった)

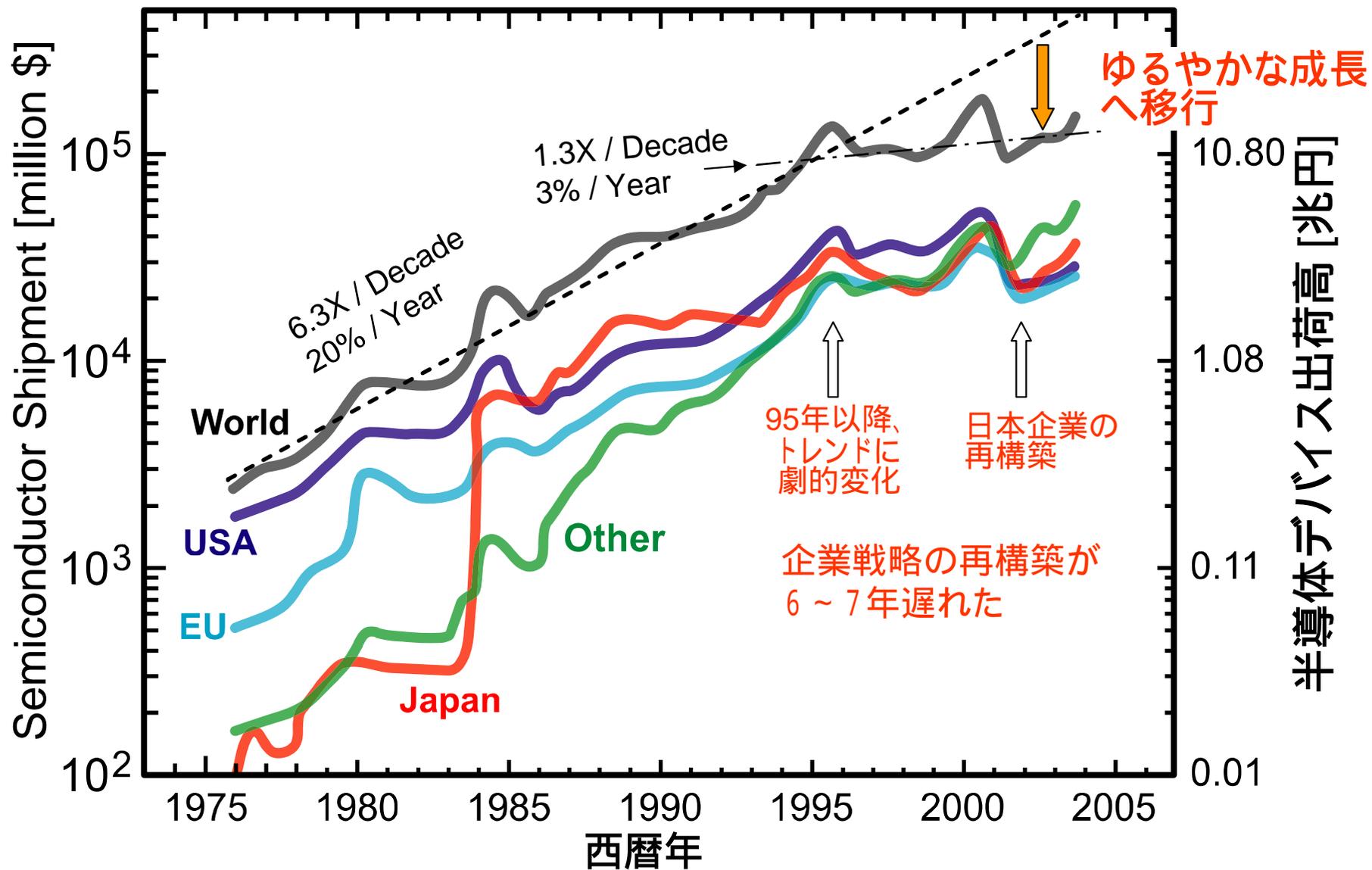
(加工技術は  
すぐには進歩しない)(周辺回路との整合性)  
(スピードを落としたいくない)

面積(ダイ)の増大!

消費電力の増大!

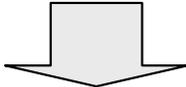
超低消費電力用途など新マーケットへのICチップ導入を阻害



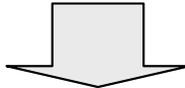


期待の1/2速度のデザインルール更新

産業規模の飽和



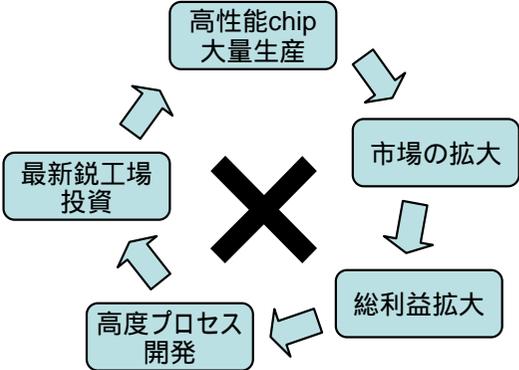
Mooreビジネスモデルの破綻



半導体産業構造の再構築

シリコンテクノロジーの革新

新たな産業基盤の創造(期待)

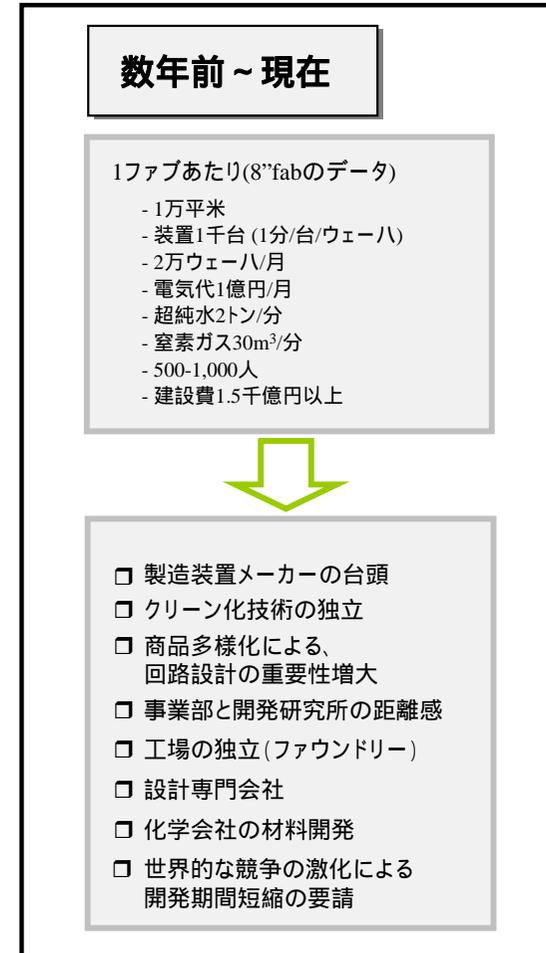
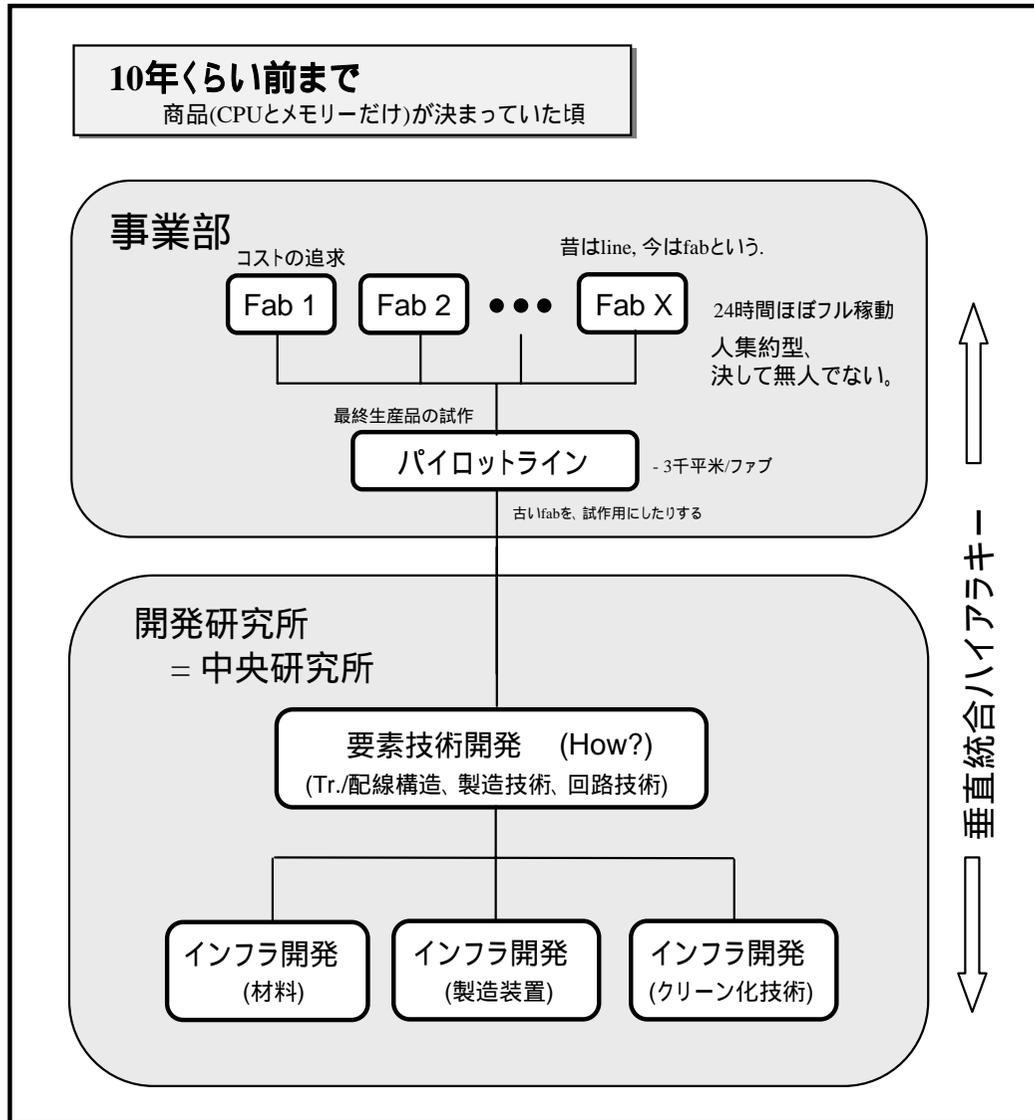


ポジティブ連鎖の行き詰まりで、資金不足に。

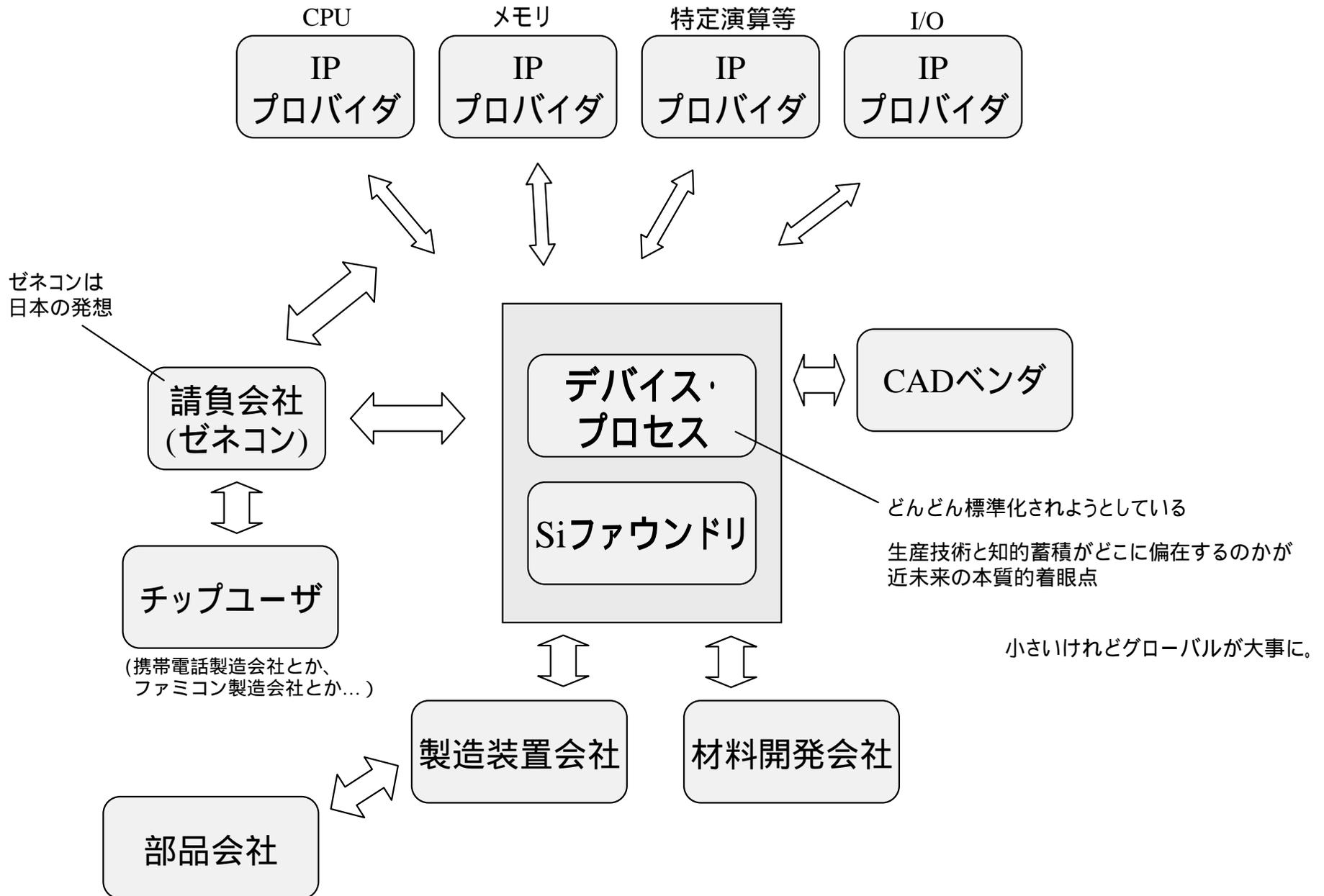
[1] 来るべきIT社会・ユビキタス社会  
 [2] ロボットアシスト社会

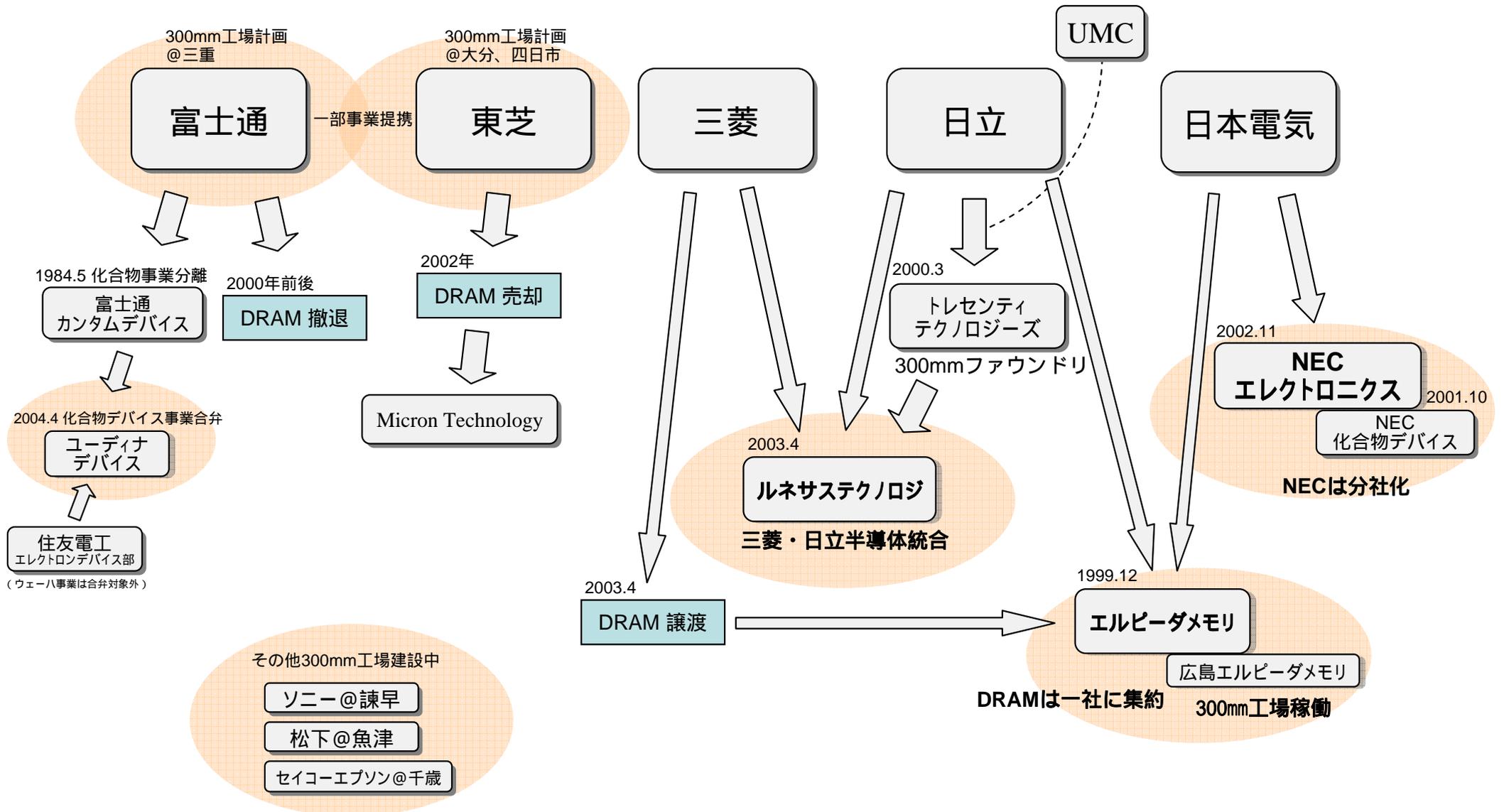
# デバイスメーカーの構造変化

デバイスとは、CPUとかメモリとかトランジスタ等の主に能動的電子部品のこと。

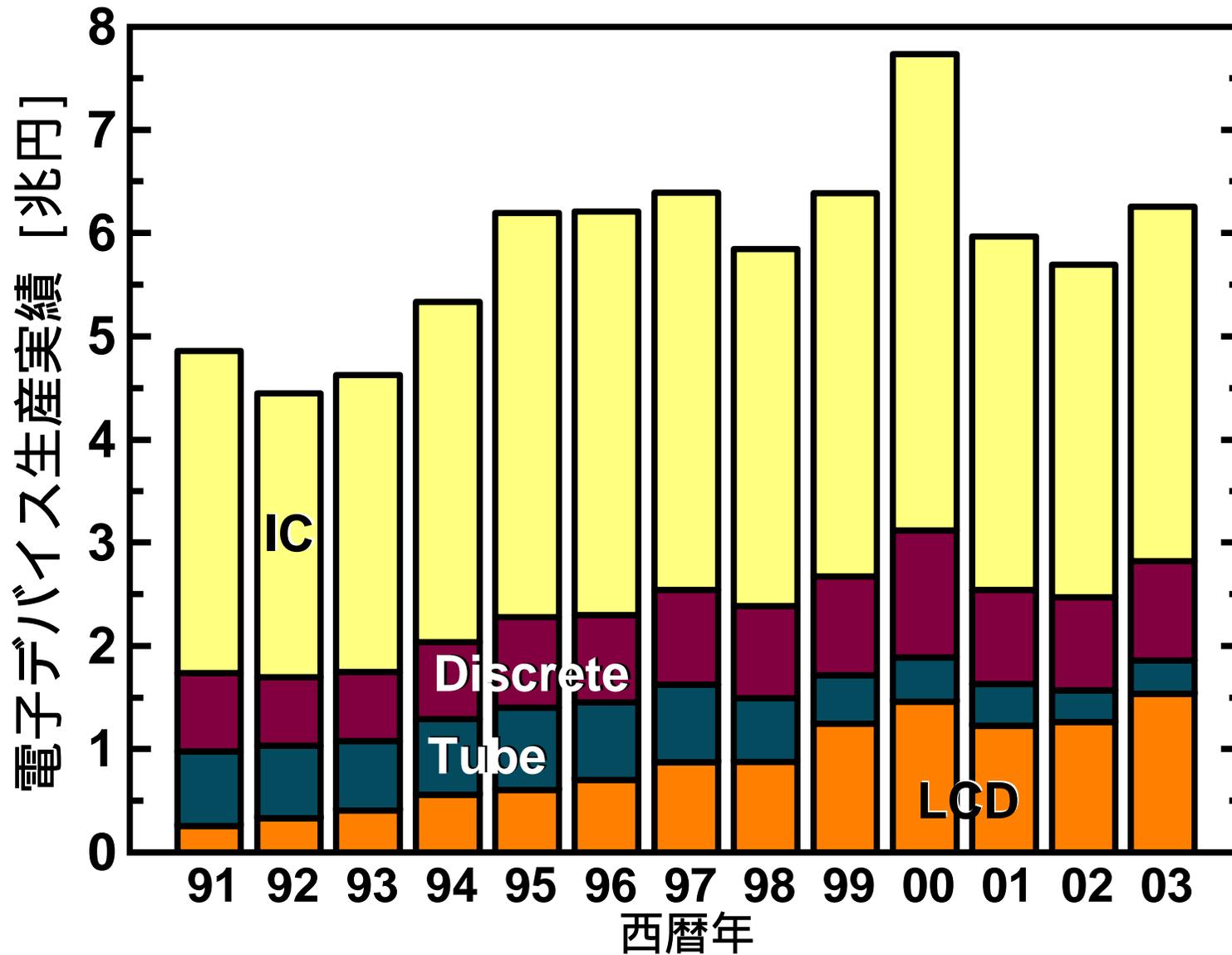


垂直統合構造の崩壊  
→ 分業化の進行





# 電子デバイス生産実績



Mooreのビジネスモデルは1995年以降破綻した。

半導体産業は、新たなマーケット確保に迫られている。

新たなマーケット確保には、技術革新が不可欠。

Mooreのビジネスモデル  
が教えるように

資金不足であり、従来の技術革新でなく、  
コストダウン技術がキー。